

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: **Takayuki KITAZAWA et al.**

Serial Number: **Not Yet Assigned**

Filed: **August 27, 2003**

**Customer No.: 23850**

For: **SWITCHING CIRCUIT, SWITCHING MODULE AND METHOD OF  
CONTROLLING THE SWITCHING CIRCUIT**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

August 27, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

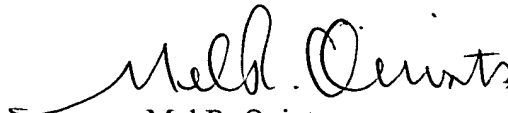
**Japanese Appln. No. 2002-255057, filed on August 30, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN & HATTORI, LLP



Mel R. Quintos  
Reg. No. 31,898

Atty. Docket No.: 031080  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
MRQ/yap

**PATENT OFFICE  
JAPANESE GOVERNMENT**

**This is to certify that the annexed is a true copy of the  
following application as filed with this office.**

**Date of Application: August 30, 2002**

**Application Number: Japanese Patent Application  
No. 2002-255057  
[JP2002-255057]**

**Applicant(s): FUJITSU QUANTUM DEVICES LIMITED**

**June 13, 2003**

**Commissioner,  
Patent Office**

**Shinichiro Ohta (Seal)**

**Certificate No. 2003-3045305**

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-255057

[ ST.10/C ]:

[ JP 2002-255057 ]

出 願 人

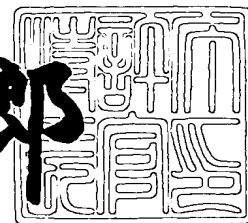
Applicant(s):

富士通カンタムデバイス株式会社

2003年 6月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3045305

【書類名】 特許願

【整理番号】 0200130

【提出日】 平成14年 8月30日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03K 17/693

【発明の名称】 スイッチング回路、スイッチングモジュール及びその制御方法

【請求項の数】 22

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士通カンタムデバイス株式会社内

【氏名】 北澤 幸行

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士通カンタムデバイス株式会社内

【氏名】 宮沢 直行

【特許出願人】

【識別番号】 000154325

【氏名又は名称】 富士通カンタムデバイス株式会社

【代理人】

【識別番号】 100087480

【弁理士】

【氏名又は名称】 片山 修平

【電話番号】 043-351-2361

【手数料の表示】

【予納台帳番号】 153948

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0203504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 スイッチング回路、スイッチングモジュール及びその制御方法

【特許請求の範囲】

【請求項 1】 入力端子又は出力端子の何れかに対して共通に接続された複数のスイッチングトランジスタを有するスイッチング回路において、

全ての前記スイッチングトランジスタが非選択状態である場合に、該全てのスイッチングトランジスタをカットオフ状態にするための制御バイアスを供給する制御バイアス供給回路を有することを特徴とするスイッチング回路。

【請求項 2】 前記制御バイアス供給回路は前記複数のスイッチングトランジスタに共通な接続点に前記制御バイアスを供給することを特徴とする請求項 1 記載のスイッチング回路。

【請求項 3】 前記制御バイアス供給回路は外部から印加された電圧信号に基づいて前記制御バイアスを供給することを特徴とする請求項 1 記載のスイッチング回路。

【請求項 4】 前記制御バイアス供給回路は前記電圧信号に対して順方向に接続されたダイオードを有することを特徴とする請求項 3 記載のスイッチング回路。

【請求項 5】 前記制御バイアス供給回路は M E S 型電界効果トランジスタを含んで構成されたバイアストランジスタを有し、

前記制御バイアスは前記バイアストランジスタのゲートに印加された電圧信号に基づいて供給されることを特徴とする請求項 1 記載のスイッチング回路。

【請求項 6】 前記バイアストランジスタのソース又はドレインのうち何れか一方は前記複数のスイッチングトランジスタに共通な接続点に接続され、他の一方は容量素子を介して接地電位に接続されることを特徴とする請求項 5 記載のスイッチング回路。

【請求項 7】 前記制御バイアス供給回路は前記制御バイアスの電圧値が可変であることを特徴とする請求項 1 記載のスイッチング回路。

【請求項 8】 前記制御バイアス供給回路は複数の制御バイアスのうち何れか 1 つを選択的に供給することを特徴とする請求項 1 記載のスイッチング回路。

【請求項 9】 前記制御バイアス供給回路は前記複数のスイッチングトランジスタの全てが非選択状態にある場合に前記制御バイアスの電圧値を可変することを特徴とする請求項 1 記載のスイッチング回路。

【請求項 10】 前記制御バイアス供給回路は、前記複数のスイッチングトランジスタの少なくとも一つが選択状態である場合と、該複数のスイッチングトランジスタの全てが非選択である場合とで異なる電圧値の前記制御バイアスを供給することを特徴とする請求項 1 記載のスイッチング回路。

【請求項 11】 前記入力端子又は前記出力端子に共通に接続される前記スイッチングトランジスタを少なくとも 3 つ有することを特徴とする請求項 1 記載のスイッチング回路。

【請求項 12】 前記スイッチングトランジスタのソースに接続されたシャントトランジスタを有し、

前記シャントトランジスタのゲートに、該シャントトランジスタと対応しない前記スイッチングトランジスタのゲートに印加される電圧信号が印加されることを特徴とする請求項 1 記載のスイッチング回路。

【請求項 13】 前記スイッチングトランジスタは、M E S 型電界効果トランジスタであることを特徴とする請求項 1 記載のスイッチング回路。

【請求項 14】 前記複数のスイッチングトランジスタに共通な接続点は、抵抗を介して接地されることを特徴とする請求項 2 記載のスイッチング回路。

【請求項 15】 前記スイッチングトランジスタのソース・ドレイン間は、バラスト抵抗を介して接続されていることを特徴とする請求項 1 記載のスイッチング回路。

【請求項 16】 請求項 1 から 15 の何れか 1 項に記載の前記スイッチング回路と、

外部から入力されたデータ信号をデコードし、前記スイッチング回路を動作させるための電圧信号及び／又は選択制御信号を生成するデコード回路と

を有することを特徴とするスイッチングモジュール。

【請求項 17】 前記スイッチング回路と前記デコーダとが単一のチップで形成されていることを特徴とする請求項 16 記載のスイッチングモジュール。

【請求項 1 8】 入力端子又は出力端子の何れかに対して共通に接続された複数のスイッチングトランジスタを有するスイッチング回路の制御方法において

前記複数のスイッチングトランジスタの全てが非選択状態である場合に全てのスイッチングトランジスタをカットオフ状態にするための制御バイアスを供給することを特徴とするスイッチング回路の制御方法。

【請求項 1 9】 M E S 型電界効果トランジスタを含んで構成されたバイアストランジスタのゲートに印加された電圧信号に基づいて、前記制御バイアスを供給することを特徴とする請求項 1 8 記載のスイッチング回路の制御方法。

【請求項 2 0】 前記制御バイアスの電圧値を可変に供給することを特徴とする請求項 1 8 記載のスイッチング回路の制御方法。

【請求項 2 1】 前記複数のスイッチングトランジスタの全てが非選択状態である場合に前記制御バイアスの電圧値を可変することを特徴とする請求項 1 8 記載のスイッチング回路の制御方法。

【請求項 2 2】 前記複数のスイッチングトランジスタの少なくとも一つが選択状態である場合と、該複数のスイッチングトランジスタの全てが非選択状態である場合とで異なる電圧値の前記制御バイアスを供給することを特徴とする請求項 1 8 記載のスイッチング回路の制御方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、スイッチング回路、スイッチングモジュール及びその制御方法に関する。

【 0 0 0 2 】

【従来の技術】

従来技術による半導体スイッチ 1 0 0 の回路構成を図 1 に示す。図 1 に示すように、従来の半導体スイッチ 1 0 0 は、入力端子  $T_{in}$  に入力された高周波信号である入力信号を、複数の出力端子 ( $T_{out1}$ ,  $T_{out2}$ ) の何れかから選択的に出力する構成を有する。尚、図 1 では S P D T ( S i n g l e P o l e D o u b



le Throw) の半導体スイッチ 100 の構成を示す。

【0003】

このような半導体スイッチ 100 は、例えばアンテナを送信回路と受信回路とで共用する構成において、一方の回路がアンテナを使用中に、他方の回路がアンテナと接続されることをカットオフするために使用される。

【0004】

ここで、非選択状態にあるスイッチングトランジスタ ( $T_{r1}/T_{r2}$ ) のソース電圧  $V_s$  が、選択状態にあるスイッチングトランジスタ ( $T_{r2}/T_{r1}$ ) のゲートからソースを介して供給される電位によって決定されるため、非選択状態のスイッチングトランジスタ ( $T_{r1}/T_{r2}$ ) では、ゲート・ソース間でバイアスの電位差が生じ、これが遮断状態 (OFF 状態) となる。

【0005】

しかしながら、上記の構成において全ての出力端子 ( $T_{out1}$ ,  $T_{out2}$ ) をカットオフする場合、選択状態にあるスイッチングトランジスタが存在しないため、ソース電圧  $V_s$  を所定のレベルとすることができない。このため、各スイッチングトランジスタを十分にカットオフすることができないという問題が存在する。

【0006】

尚、従来技術において、スイッチングトランジスタ ( $T_{r1}$ ,  $T_{r2}$ ) のゲート・ソース間電位差を所定のレベルとするために、固定的にバイアス電圧  $V_{ba}$  を供給する構成を有するスイッチ回路 200 が存在する。このスイッチ回路 200 の構成を図 2 に示す。また、同様の目的を達成する技術が、例えば以下に示す特許文献 1 に開示されている。

【0007】

【特許文献 1】

特開 2000-223902 号公報

【0008】

【発明が解決しようとする課題】

しかしながら、これらの従来技術は、何れかのスイッチングトランジスタが選択状態にある際に、非選択状態にあるスイッチングトランジスタのソース電圧  $V$

s を所定のレベルにするための技術である。このため、スイッチングトランジスタが全て非選択状態にある際にカットオフできないという問題を解決することが不可能である。

#### 【 0 0 0 9 】

そこで本発明は、全てのスイッチングトランジスタが非選択状態にある際に、これらを確実にカットオフできるスイッチング回路、スイッチングモジュール及びその制御方法を提供することを目的とする。

#### 【 0 0 1 0 】

##### 【課題を解決するための手段】

かかる目的を達成するために、本発明は、請求項 1 記載のように、入力端子又は出力端子の何れかに対して共通に接続された複数のスイッチングトランジスタを有するスイッチング回路において、全ての前記スイッチングトランジスタが非選択状態である場合に、該全てのスイッチングトランジスタをカットオフ状態にするための制御バイアスを供給する制御バイアス供給回路を有する。これにより、全てのスイッチングトランジスタが非選択状態にある際に、これらを確実にカットオフできるスイッチング回路が実現される。

#### 【 0 0 1 1 】

また、上記のスイッチング回路は、好ましくは請求項 2 記載のように、前記制御バイアス供給回路が前記複数のスイッチングトランジスタに共通な接続点に前記制御バイアスを供給する構成を有する。これにより、スイッチング回路の配線構成を簡略化できる。

#### 【 0 0 1 2 】

また、上記のスイッチング回路は、例えば請求項 3 記載のように、前記制御バイアス供給回路が外部から印加された電圧信号に基づいて前記制御バイアスを供給するように構成することもできる。これにより、スイッチング回路の構成が簡略化される。

#### 【 0 0 1 3 】

また、上記のスイッチング回路は、例えば請求項 4 記載のように、前記制御バイアス供給回路が前記電圧信号に対して順方向に接続されたダイオードを有する

ように構成することもできる。これにより、何れかのスイッチングトランジスタが選択状態にあるときに、選択状態にないスイッチングトランジスタのゲートからの電位が制御バイアス供給回路へ逆流することを防止できる。

【 0 0 1 4 】

また、別の例として、上記のスイッチング回路は、例えば請求項 5 記載のように、前記制御バイアス供給回路が M E S 型電界効果トランジスタを含んで構成されたバイアストランジスタを有し、前記制御バイアスが前記バイアストランジスタのゲートに印加された電圧信号に基づいて供給されるように構成することもできる。

【 0 0 1 5 】

また、上記のスイッチング回路は、好ましくは請求項 6 記載のように、前記バイアストランジスタのソース又はドレインのうち何れか一方が前記複数のスイッチングトランジスタに共通な接続点に接続され、他の一方が容量素子を介して接地電位に接続される構成を有する。これにより、入力側と出力側とのアイソレーションが高められ、スイッチングトランジスタのカットオフが確実となる。

【 0 0 1 6 】

また、上記のスイッチング回路における前記制御バイアス供給回路は、例えば請求項 7 記載のように、前記制御バイアスの電圧値を可変とするように構成されてもよい。これにより、所定の事象に応じて所望の制御バイアスを印加することができるため、スイッチング回路の制御性が向上される。

【 0 0 1 7 】

また、別の例として、上記のスイッチング回路は、例えば請求項 8 記載のように、前記制御バイアス供給回路が複数の制御バイアスのうち何れか 1 つを選択的に供給するように構成することもできる。

【 0 0 1 8 】

また、別の例として、上記のスイッチング回路は、例えば請求項 9 記載のように、前記制御バイアス供給回路が前記複数のスイッチングトランジスタの全てが非選択状態にある場合に前記制御バイアスの電圧値を可変するように構成することもできる。

## 【 0 0 1 9 】

また、別の例として、上記のスイッチング回路は、例えば請求項 1 0 記載のように、前記制御バイアス供給回路が、前記複数のスイッチングトランジスタの少なくとも一つが選択状態である場合と、該複数のスイッチングトランジスタの全てが非選択である場合とで異なる電圧値の前記制御バイアスを供給するように構成することもできる。

## 【 0 0 2 0 】

また、上記のスイッチング回路は、例えば請求項 1 1 記載のように、前記入力端子又は前記出力端子に共通に接続される前記スイッチングトランジスタを少なくとも 3 つ有する場合にも適用することが可能である。

## 【 0 0 2 1 】

また、上記のスイッチング回路は、好ましくは請求項 1 2 記載のように、前記スイッチングトランジスタのソースに接続されたシャントトランジスタを有し、前記シャントトランジスタのゲートに、該シャントトランジスタと対応しない前記スイッチングトランジスタのゲートに印加される電圧信号が印加されるように構成することもできる。これにより、入力側と出力側との間を十分にアイソレーションでき、非選択状態にあるスイッチングトランジスタを確実にカットオフ状態とすることが可能となる。

## 【 0 0 2 2 】

また、上記のスイッチング回路は、好ましくは請求項 1 3 記載のように、前記スイッチングトランジスタが M E S 型電界効果トランジスタで形成される。

## 【 0 0 2 3 】

また、上記のスイッチングトランジスタは、好ましくは請求項 1 4 記載のように、前記複数のスイッチングトランジスタに共通な接続点が、抵抗を介して接地される構成を有する。これにより、入力側に印加された信号の高周波成分を減衰することができる。

## 【 0 0 2 4 】

また、上記のスイッチング回路は、好ましくは請求項 1 5 記載のように、前記スイッチングトランジスタのソース・ドレイン間が、バラスト抵抗を介して接続

された構成を有する。

【 0 0 2 5 】

また、本発明によるスイッチングモジュールは、請求項 1 6 記載のように、上記のスイッチング回路と、外部から入力されたデータ信号をデコードし、前記スイッチング回路を動作させるための電圧信号及び／又は選択制御信号を生成するデコード回路とを有する。これにより、全てのスイッチングトランジスタが非選択状態にある際に、これらを確実にカットオフできるスイッチング回路が実装されたスイッチングモジュールを提供できる。

【 0 0 2 6 】

また、上記のスイッチングモジュールは、好ましくは請求項 1 7 記載のように、前記スイッチング回路と前記デコーダとが単一のチップで形成された構成を有する。これにより、スイッチング動作を 1 チップで完結して実現できるスイッチングモジュールを提供できる。

【 0 0 2 7 】

また、本発明は、請求項 1 8 記載のように、入力端子又は出力端子の何れかに対して共通に接続された複数のスイッチングトランジスタを有するスイッチング回路の制御方法において、前記複数のスイッチングトランジスタの全てが非選択状態である場合に全てのスイッチングトランジスタをカットオフ状態にするための制御バイアスを供給する。これにより、全てのスイッチングトランジスタが非選択状態にある際に、非選択状態にある全てのスイッチングトランジスタを確実にカットオフできる。

【 0 0 2 8 】

また、上記のスイッチング回路の制御方法は、例えば請求項 1 9 記載のように、M E S 型電界効果トランジスタを含んで構成されたバイアストランジスタのゲートに印加された電圧信号に基づいて、前記制御バイアスを供給する。

【 0 0 2 9 】

また、上記のスイッチング回路の制御方法は、例えば請求項 2 0 記載のように、前記制御バイアスの電圧値を可変に供給する。これにより、所定の事象に応じて所望の制御バイアスを印加することができるため、スイッチング回路の制御性

が向上される。

【 0 0 3 0 】

また、別の例として、上記のスイッチング回路の制御方法は、例えば請求項 2 1 記載のように、前記複数のスイッチングトランジスタの全てが非選択状態である場合に前記制御バイアスの電圧値を可変する。

【 0 0 3 1 】

また、別の例として、上記のスイッチング回路の制御方法は、例えば請求項 2 2 記載のように、前記複数のスイッチングトランジスタの少なくとも一つが選択状態である場合と、該複数のスイッチングトランジスタの全てが非選択状態である場合とで異なる電圧値の前記制御バイアスを供給する。

【 0 0 3 2 】

【発明の実施の形態】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

【 0 0 3 3 】

〔第 1 の実施形態〕

まず、本発明の第 1 の実施形態について説明する。本実施形態の基本概念は、入力端子又は出力端子の何れかに対して共通に接続された複数のスイッチングトランジスタを有するスイッチング回路において、全てのスイッチングトランジスタが非選択状態にある際に選択的に、これらをカットオフ状態とするための制御バイアスを供給するものである。これにより、本実施形態では、非選択状態にあるスイッチングトランジスタを十分且つ確実に遮断状態（OFF 状態）とすることができる。尚、何れかのスイッチングトランジスタが選択状態にある際は、この選択されているスイッチングトランジスタを介して他の非選択状態にあるスイッチングトランジスタのソースに電位が供給されるため、制御バイアスを供給しない。これは、消費電力を低減する点で有効である。

【 0 0 3 4 】

以下、本実施形態の構成及び動作を図面と共に詳細に説明する。図 3 は本実施形態によるスイッチング回路 1 の構成を示す回路図である。

【 0 0 3 5 】

図3に示すように、スイッチング回路1は、2つのスイッチングトランジスタ  $Tr1$ ,  $Tr2$  を有した1入力2出力であるSPDTスイッチの構成を有している。尚、スイッチングトランジスタ  $Tr1$ ,  $Tr2$  は例えばガリウム・ヒ素 (GaAs) で形成されたMES型電界効果トランジスタ (Metal Semiconductor Field Effect Transistor: MESFET) で構成される。但し、これをHEMT型電界効果トランジスタ (High Electron Mobility Transistor: HEMTFET) で構成しても良い。

## 【0036】

このような構成において、スイッチングトランジスタ  $Tr1$  は、ゲートに入力端子  $Tin$  から伝播された高周波信号を減衰するための抵抗  $R1$  を介して選択制御信号  $V1$  が印加され、ドレインが高周波信号の直流成分  $DC$  を遮断するための容量素子であるコンデンサ  $C1$  を介して出力端子  $Tout1$  に接続され、ソースが高周波信号の直流成分  $DC$  を遮断するためのコンデンサ  $C3$  を介して入力端子  $Sin$  に接続されている。また、スイッチングトランジスタ  $Tr2$  も同様に、ゲートに入力端子  $Tin$  から伝播された高周波信号の直流成分  $DC$  を遮断するための抵抗  $R2$  を介して選択制御信号  $V2$  が印加され、ドレインが高周波信号の直流成分  $DC$  を遮断するための容量素子であるコンデンサ  $C2$  を介して出力端子  $Tout2$  に接続され、ソースが高周波信号を遮断するためのコンデンサ  $C3$  を介して入力端子  $Tin$  に接続されている。尚、入力端子  $Tin$  には例えばアンテナで受信された高周波信号が入力される。また、アンテナから入力された高周波信号の直流成分  $DC$  を遮断するためのコンデンサ  $C1$ ,  $C2$ ,  $C3$  は、スイッチング回路1の内部構成に含ませても、他の構成に含ませてもよい。以下の説明では、他の構成に含ませた場合を例に挙げる。

## 【0037】

スイッチングトランジスタ  $Tr1$ ,  $Tr2$  のソース・ドレイン間はバラスト抵抗  $R3$ ,  $R4$  によりそれぞれ接続されている。このバラスト抵抗は、スイッチングトランジスタのソース・ドレイン間の電位を共通にする (電位差を実質的になくす) ために設けられている。尚、本実施形態ではバラスト抵抗  $R3$ ,  $R4$  に1

0 k  $\Omega$  程度の抵抗を用いる。

#### 【 0 0 3 8 】

上記構成において、各スイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  のソースは共通な接続点  $P_s$  を介して上記のコンデンサ  $C_3$  に接続される。また、この接続点  $P_s$  は抵抗  $R_s$  を介して接地される。更に、この接続点  $P_s$  は、制御バイアス供給回路 10 に接続されており、これを介してスイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  のソースに制御バイアスが供給される。

#### 【 0 0 3 9 】

ここで、本実施形態による制御バイアス供給回路 10 の構成を説明する。制御バイアス供給回路 10 は、図 3 に示すように、2 つの抵抗  $R_{11}$ 、 $R_{12}$  の間にダイオード  $D_{11}$  が直列に設けられた構成を有しており、これに制御バイアスを発生させるための電圧信号  $V_{10}$  が印加される。尚、ダイオード  $D_{11}$  は、電圧信号  $V_{10}$  の印加方向に対して順方向を導通するように接続されている。

#### 【 0 0 4 0 】

このように全てのスイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  が非選択状態である際に選択的に制御バイアスを供給する制御バイアス供給回路 10 に、バイアス方向に対して順方向に接続されたダイオード  $D_{11}$  を介在させることで、何れかの出力（スイッチングトランジスタ）が選択状態にあるときに、選択状態でないスイッチングトランジスタのゲートからの電位が制御バイアス供給回路 10 側へ逆流することを防止できる。

#### 【 0 0 4 1 】

尚、制御バイアス供給回路 10 に印加される電圧信号  $V_{10}$  は、外部の CPU 等から入力されたデータ信号をスイッチング回路 1 外部に設けたデコーダ（図 4 参照）11 でデコードして生成される。ここで、データ信号は、例えば 2 ビット（但し、SPDT スイッチの場合）で構成されるデータであり、何れかのスイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  を選択状態とする（＝何れの出力を得る）、若しくは全てのスイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  を非選択状態とする（＝制御バイアスを供給する）ことを示すデータが含まれた信号である。即ち、データ信号に全てのスイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  を非選択状態とする



(=制御バイアスを供給する) ことが示されていた場合、デコーダ 1 1 はこれをデコードして所定の電圧値の電圧信号  $V_{10}$  し、これを制御バイアス供給回路 1 0 に印加する。制御バイアス供給回路 1 0 は印加された電圧信号  $V_{10}$  を抵抗  $R_{11}$ ,  $R_{12}$  及びダイオード  $D_{11}$  において制御バイアスに変換し、これを接続点  $P_s$  へ供給する。これにより、スイッチングトランジスタ  $T_{r1}$ ,  $T_{r2}$  のゲート・ソース間が逆バイアスとなり、スイッチングトランジスタ  $T_{r1}$ ,  $T_{r2}$  が完全にカットオフ状態とされる。

## 【 0 0 4 2 】

また、以上のように構成されたスイッチング回路 1 は、例えば図 4 に示すように、集積化して 1 チップとして提供することも可能である。更に、この 1 チップ化されたスイッチング回路 1 は、他の回路 (デコーダ 1 1 等) と組み合わせられて、1 つのスイッチングモジュール 1 A として提供することも可能である。尚、コンデンサ  $C_1$ ,  $C_2$ ,  $C_3$  は、図 4 に示すように、このスイッチングモジュール 1 A 内部に設ける構成としても良いが、これに限定されず、図中の入力端子  $T_{in}$  や出力端子  $T_{out1}$ ,  $T_{out2}$  の外側 (スイッチング回路 1 を反対側) に設ける構成としても良い。

## 【 0 0 4 3 】

また、上記したスイッチング回路 1 のチップ内に、上記のデコーダ 1 1 が含まれるように構成しても良い。これにより、本実施形態によるスイッチング動作を 1 チップで完結して実現できる。

## 【 0 0 4 4 】

尚、以上では、1 入力 2 出力である SPDT スイッチを例に挙げて説明したが、本発明ではこれに限定されず、例えば 1 入力 1 出力、又は 2 入力 3 出力若しくはこれ以上等、目的に応じて種々変形することが可能である。

## 【 0 0 4 5 】

## 〔第 2 の実施形態〕

次に、本発明の第 2 の実施形態について図面を用いて詳細に説明する。本実施形態では、制御バイアス供給回路の他の実施例を示す。

## 【 0 0 4 6 】

図 5 は本実施形態による制御バイアス供給回路 2 0 を有して構成されたスイッチング回路 2 の構成を示す回路図である。

【 0 0 4 7 】

図 5 を参照すると明らかなように、本実施形態による制御バイアス供給回路 2 0 は、バイアストランジスタ  $T r 2 1$  を有して構成され、このバイアストランジスタ  $T r 2 1$  のソースが接続点  $P s$  に接続されている。また、バイアストランジスタ  $T r 2 1$  は、ゲートに入力端子  $T i n$  から伝播された高周波信号を減衰するための抵抗  $R 2 1$  を介して電圧信号  $V 1 0$  が印加される。尚、このバイアストランジスタ  $T r 2 1$  は、M E S 型電界効果トランジスタで構成される。

【 0 0 4 8 】

従って、全てのスイッチングトランジスタ  $T r 1$  ,  $T r 2$  を非選択状態とする際に、電圧信号  $V 1 0$  をバイアストランジスタ  $T r 2 1$  のゲートに印加することで、バイアストランジスタ  $T r 2 1$  で発生された制御バイアス (=ゲート・ソース間電位差) が接続点  $P s$  を介してスイッチングトランジスタ  $T r 1$  ,  $T r 2$  のソースに供給される。これにより、スイッチングトランジスタ  $T r 1$  ,  $T r 2$  のゲート・ソース間が逆バイアスとなり、スイッチングトランジスタ  $T r 1$  ,  $T r 2$  が完全にカットオフ状態とされる。

【 0 0 4 9 】

また、図 5 に示すように、バイアストランジスタ  $T r 2 1$  のドレインを容量素子であるコンデンサ  $C 2 1$  を介して接地することで、入力端子  $T i n$  と出力端子  $T o u t 1$  ,  $T o u t 2$  とのアイソレーションを高め、より確実なカットオフがなされるように構成することも可能である。即ち、バイアストランジスタ  $T r 2 1$  のドレインを、高周波信号の直流成分  $D C$  を遮断するためのコンデンサ  $C 2 1$  を介して接地することで、全てのスイッチングトランジスタ  $T r 1$  ,  $T r 2$  が非選択状態にある際に、これが高周波信号に対するシャントトランジスタとして作用する。このため、上記のように、入力端子  $T i n$  と出力端子  $T o u t 1$  ,  $T o u t 2$  とのアイソレーションが高められ、非選択状態にあるスイッチングトランジスタのカットオフをより確実にすることができる。また、他の構成は、第 1 の実施形態と同様であるため、ここでは説明を省略する。

## 【 0 0 5 0 】

## 〔第 3 の実施形態〕

次に、本発明の第 3 の実施形態について図面を用いて詳細に説明する。本実施形態は制御バイアスの電圧値を可変に供給する構成とした場合である。

## 【 0 0 5 1 】

図 6 は本実施形態による制御バイアス供給回路 3 1, 3 2 を有して構成されたスイッチング回路 3 の構成を示す回路図である。尚、本実施形態は、第 1 の実施形態によるスイッチング回路 1 において、制御バイアスが可変に供給されるように変形した例である。

## 【 0 0 5 2 】

図 6 を参照すると明らかなように、本実施形態によるスイッチング回路 3 は、複数（図面では 2 つ）の制御バイアス供給回路 3 1, 3 2 を有する。従って、本実施形態では、外部から入力するデータ信号で何れの制御バイアス供給回路 3 1, 3 2 を使用するかを設定することで、適宜にスイッチングトランジスタ  $T_{r1}$ ,  $T_{r2}$  のソースに供給される制御バイアスを切り替えることが可能となる。尚、この設定は、例えばデータ信号に 1 ビットのフラグを付加することで実現することができる。

## 【 0 0 5 3 】

また、本実施形態によるスイッチング回路 3 を 1 チップ化した際の構成を図 7 に示す。図 7 に示すスイッチングモジュール 3 A は、第 1 の実施形態によるスイッチングモジュール 1 A と同様な構成において、全てのスイッチングトランジスタ  $T_{r1}$ ,  $T_{r2}$  を非選択状態とする場合に、デコーダ 3 3 がデータ信号に基づいて電圧信号  $V_{31}$  又は  $V_{32}$  を出力する構成を有する。これにより、電圧信号（3 1 / 3 2）が印加された制御バイアス供給回路（3 1 / 3 2）は、個々に固定された制御バイアスを接続点  $P_s$  を介してスイッチングトランジスタ  $T_{r1}$ ,  $T_{r2}$  のソースに供給する。また、他の構成は、第 1 の実施形態と同様であるため、ここでは説明を省略する。

## 【 0 0 5 4 】

尚、本実施形態では、制御バイアス供給回路が 2 つ設けられたスイッチング回

路について図面を用いて例示したが、本発明ではこれに限定されず、例えば3つ以上等の複数であって良い。但し、このように複数の制御バイアス供給回路を設けた場合、データ信号におけるこれらを選択するためにデータ信号に付加するビット数は、制御バイアス供給回路の数に依存して決定される。

#### 【 0 0 5 5 】

また、上記の説明では、全てのスイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  を非選択状態とする場合に供給する制御バイアスを切り替えるとしたが、本発明ではこれに限定されず、種々の状況及び目的に応じて、何れかのスイッチングトランジスタを選択状態とした場合でも、供給する制御バイアスを切り替えるように構成することも可能である。また、この他、全てのスイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  が非選択状態である場合と、何れかのスイッチングトランジスタ ( $T_{r1}$ 、 $T_{r2}$ ) が選択状態にある場合とで、供給する制御バイアスを切り替えるように構成することも可能である。これにより、本実施形態では、所定の事象に応じて所望の制御バイアスを印加することができるため、回路の制御性が向上される。

#### 【 0 0 5 6 】

##### 〔第4の実施形態〕

次に、本発明の第4の実施形態について図面を用いて詳細に説明する。本実施形態は、シャント回路付きのスイッチングトランジスタを用いてスイッチング回路を構成した場合の例である。

#### 【 0 0 5 7 】

図8は、本実施形態によるスイッチング回路4の構成を示す回路図である。図8に示すように、本実施形態によるスイッチング回路4におけるスイッチングトランジスタ  $T_{r1}$ 、 $T_{r2}$  のソースには、それぞれシャントトランジスタ  $T_{r41}$ 、 $T_{r42}$  が接続されている。

#### 【 0 0 5 8 】

シャントトランジスタ  $T_{r41}$  は、ゲートに高周波信号を減衰するための抵抗  $R_{41}$  及び抵抗  $R_2$  を介して選択制御信号  $V_2$  が印加され、ドレインが高周波信号の直流成分  $DC$  を遮断するための容量素子であるコンデンサ  $C_{41}$  を介して接

地されている。また、シャントトランジスタ  $T_{r42}$  も同様に、ゲートに高周波信号を減衰するための抵抗  $R_{42}$  及び抵抗  $R_1$  を介して選択制御信号  $V_1$  が印加され、ドレインが高周波信号の直流成分  $DC$  を遮断するための容量素子であるコンデンサ  $C_{42}$  を介して接地されている。

#### 【0059】

従って、シャントトランジスタ  $T_{r41}$  は、スイッチングトランジスタ  $T_{r2}$  が選択状態とされた際に、非選択状態のスイッチングトランジスタ  $T_{r1}$  のソースを短絡する。また、シャントトランジスタ  $T_{r42}$  は、スイッチングトランジスタ  $T_{r1}$  が選択状態とされた際に、非選択状態のスイッチングトランジスタ  $T_{r2}$  のソースを短絡する。これにより、入力端子  $T_{in}$  と出力端子  $T_{out1}$ ,  $T_{out2}$  との間を十分にアイソレーションでき、非選択状態にあるスイッチングトランジスタを確実にカットオフ状態とすることが可能となる。また、他の構成は、第1の実施形態と同様であるため、ここでは説明を省略する。

#### 【0060】

##### 〔他の実施形態〕

以上、説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

#### 【0061】

##### 【発明の効果】

以上説明したように、本発明によれば、全てのスイッチングトランジスタが非選択状態にある際に、これらを確実にカットオフできるスイッチング回路が実現される。また、本発明は、何れかのスイッチングトランジスタが選択状態にあるときに、選択状態にないスイッチングトランジスタのゲートからの電位が制御バイアス供給回路へ逆流することを防止する。また、本発明は、所定の事象に応じて所望の制御バイアスを印加することで、スイッチング回路の制御性を向上する。更に、このスイッチング回路が搭載されたスイッチングモジュール及び、スイッチング回路の制御方法が提供される。

##### 【図面の簡単な説明】

##### 【図1】

従来技術によるスイッチング回路 1 0 0 の構成を示す回路図である。

【図 2】

従来技術によるスイッチング回路 2 0 0 の構成を示す回路図である。

【図 3】

本発明の第 1 の実施形態によるスイッチング回路 1 の構成を示す回路図である。

【図 4】

図 3 に示すスイッチング回路 1 が組み込まれたスイッチングモジュール 1 A の構成を示すブロック図である。

【図 5】

本発明の第 2 の実施形態によるスイッチング回路 2 の構成を示す回路図である。

【図 6】

本発明の第 3 の実施形態によるスイッチング回路 3 の構成を示す回路図である。

【図 7】

図 5 に示すスイッチング回路 3 が組み込まれたスイッチングモジュール 3 A の構成を示すブロック図である。

【図 8】

本発明の第 4 の実施形態によるスイッチング回路 4 の構成を示す回路図である。

【符号の説明】

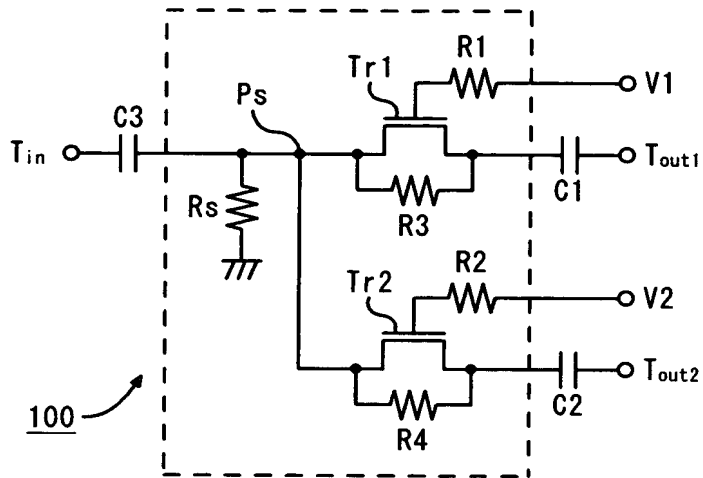
- 1、2、3、4 スイッチング回路
- 1 A、3 A スイッチングモジュール
- 1 0、2 0、3 1、3 2 制御バイアス供給回路
- 1 1、3 3 デコーダ
- C 2 1、C 4 1、C 4 2 コンデンサ
- D 1 1 ダイオード
- R 3、R 4 バラスト抵抗

R 1 1、R 1 2、R 2 1、R 2 2、R 3 1、R 3 2、R 3 3、R 3 4、R 4 1  
、R 4 2 抵抗  
T r 2 1 バイアストランジスタ  
T r 4 1、T r 4 2 シャントトランジスタ  
V 1 0、V 3 1、V 3 2 電圧信号

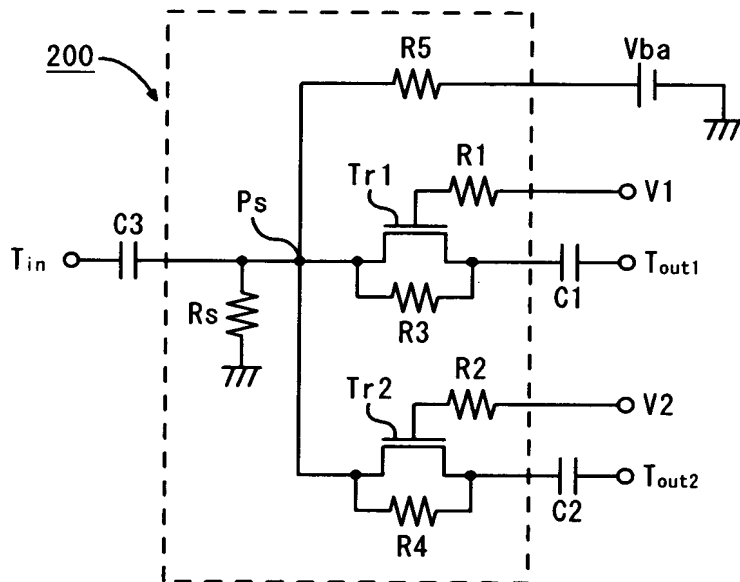
【書類名】

図面

【図 1】

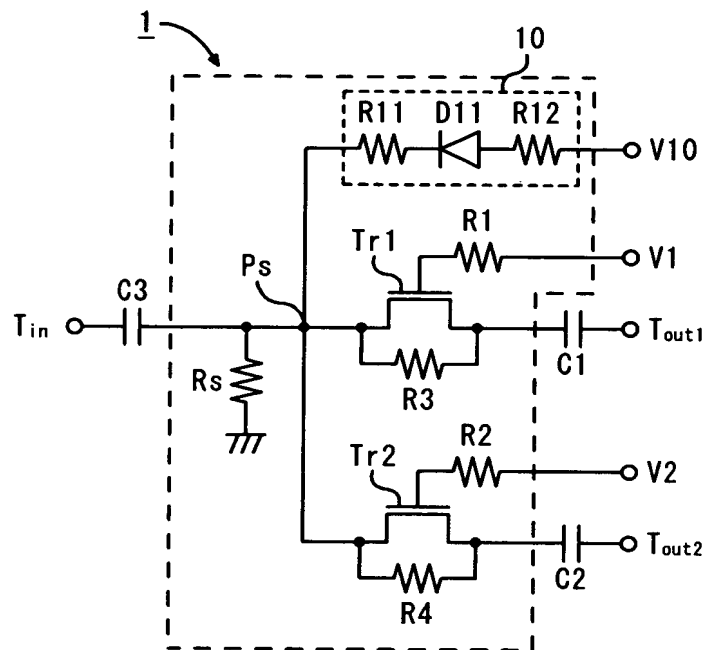


【図 2】

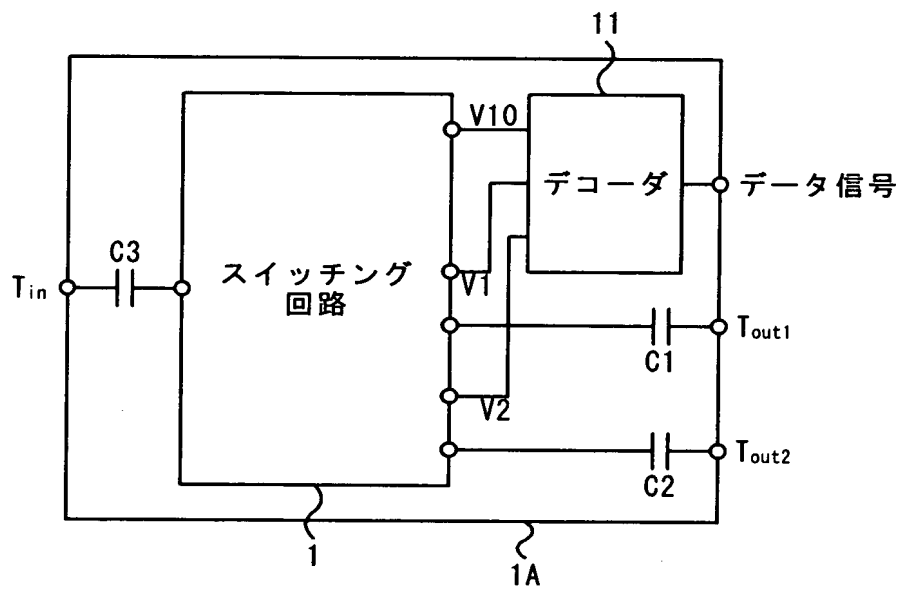




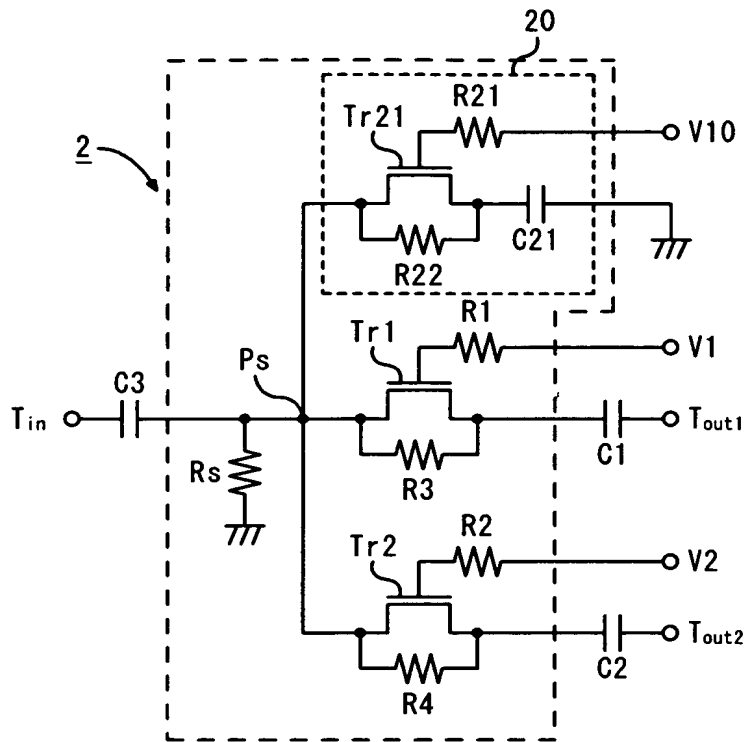
【図 3】



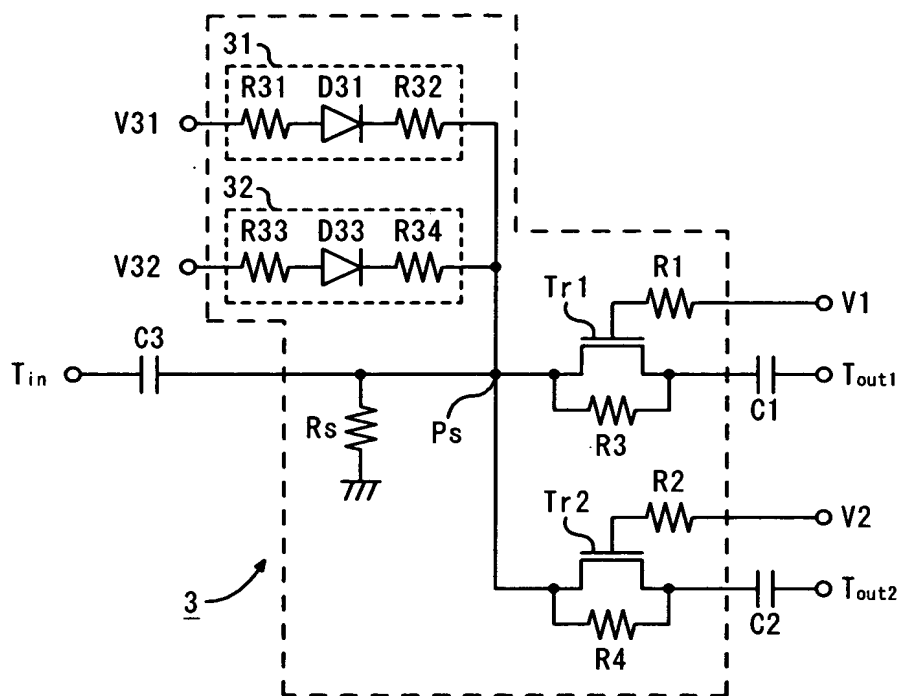
【図 4】



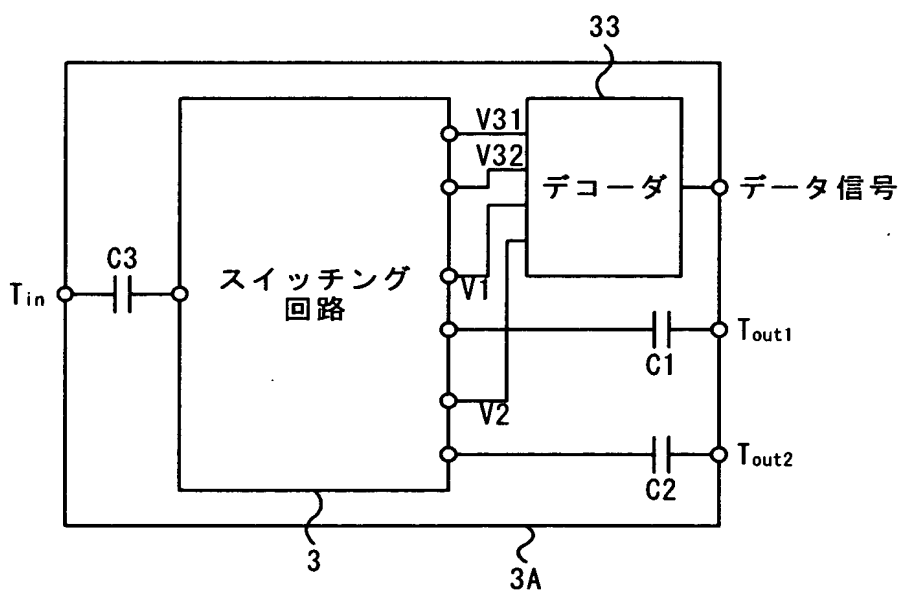
【図 5】



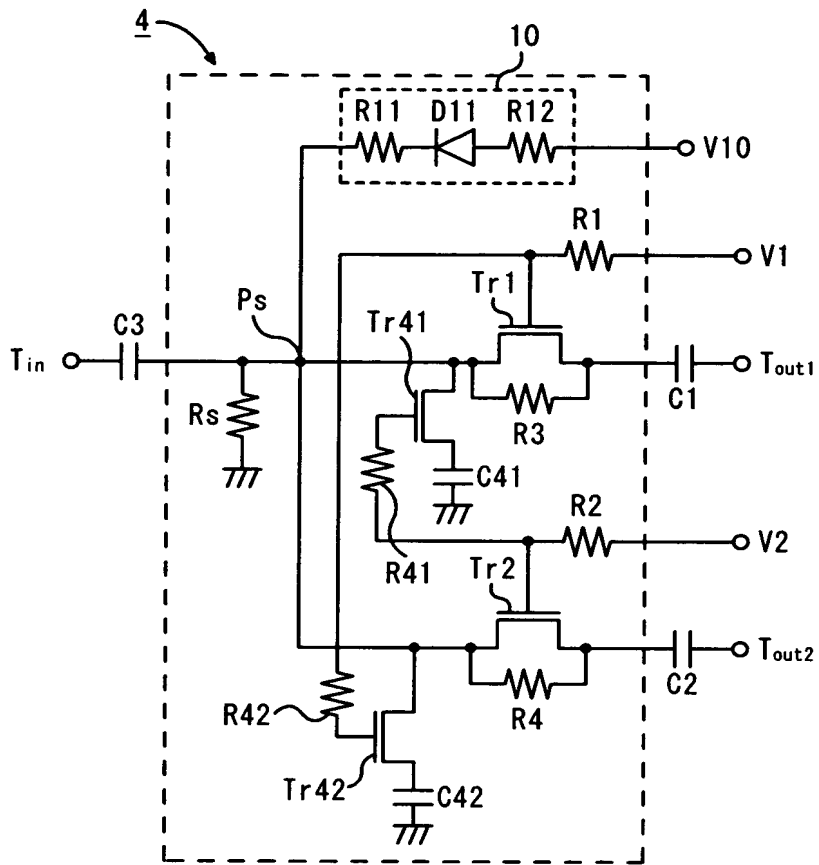
【図6】



【図7】



【図 8】



【書類名】                      要約書

【要約】

【課題】    全てのスイッチングトランジスタが非選択状態にある際に、これらを確実にカットオフできるスイッチング回路、スイッチングモジュール及びその制御方法を提供する。

【解決手段】    入力端子  $T_{in}$  に対して共通に接続された複数のスイッチングトランジスタ  $T_{r1}$ ,  $T_{r2}$  を有するスイッチング回路 1 において、全てのスイッチングトランジスタ  $T_{r1}$ ,  $T_{r2}$  が非選択状態にある際に、選択的にこれらをカットオフ状態とするための制御バイアスを制御バイアス供給回路 10 から供給する。尚、制御バイアス供給回路 10 は、外部から入力された電圧信号  $V_{10}$  に基づいて制御バイアスを生成し、これをスイッチング回路 1 における全てのスイッチングトランジスタ  $T_{r1}$ ,  $T_{r2}$  で共通な接続点  $P_s$  へ供給する。これにより、非動作状態にあるスイッチングトランジスタ  $T_{r1}$ ,  $T_{r2}$  のゲート・ソース間が逆バイアスとなり、これらが確実にカットオフされる。

【選択図】                      図 3

【書類名】 手続補正書  
 【整理番号】 0200130  
 【提出日】 平成14年 9月30日  
 【あて先】 特許庁長官 太田 信一郎 殿  
 【事件の表示】

【出願番号】 特願2002-255057  
 【補正をする者】  
 【識別番号】 000154325  
 【氏名又は名称】 富士通カンタムデバイス株式会社  
 【代理人】

【識別番号】 100087480  
 【弁理士】  
 【氏名又は名称】 片山 修平  
 【電話番号】 043-351-2361

【手続補正 1】

【補正対象書類名】 特許願  
 【補正対象項目名】 発明者  
 【補正方法】 変更

【補正の内容】

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士  
 通カンタムデバイス株式会社内

【氏名】 北澤 幸行

【発明者】

【住所又は居所】 山梨県中巨摩郡昭和町大字紙漣阿原 1 0 0 0 番地 富士  
 通カンタムデバイス株式会社内

【氏名】 宮澤 直行

【その他】 平成 1 4 年 8 月 3 0 日付特許願において、発明者の氏名  
 を「宮澤直行」と表記すべきところを誤記により「宮沢

直行」としましたのでここに補正いたします。本補正は誤記の訂正であり、発明者の実体に変更を加えるものではありません。

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 1 5 4 3 2 5 ]

1. 変更年月日 1 9 9 2 年 4 月 6 日  
[変更理由] 名称変更  
住 所 山梨県中巨摩郡昭和町大字紙漉阿原 1 0 0 0 番地  
氏 名 富士通カンタムデバイス株式会社